

(11)特許出願公開番号

(43)公開日 平成5年(1993)7月13日

審査請求 未請求 請求項の数1(全 9 頁)

(74)代理人 弁理士 青木 朗 (外4名)

【特許請求の範囲】

【請求項1】 受信信号を90°位相の異なる二つの信号に直交変換して復調するダイレクト受信機において、前記二つの信号を交互に入れ換えた信号を合成するため前記二つの信号を一定周期で交互に切り替えるスイッチ

(1、2)と、
該スイッチ(1、2)によって形成された合成信号を増幅する増幅器(6)と、

該増幅器(6)で増幅された前記合成信号を前記二つの直交変換された信号の対として分離して抽出するために切り換えるスイッチ(7、8)と、

時間的に前後する前記二つの分離信号の前後関係を交互に入れ換えるように前記スイッチ(7、8)を切り換えさせる戻し信号形成部(11)とを備える時分割式ダイレクト受信機。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はダイレクトコンバージョン受信方式を用いたダイレクト受信機に関し、特に本発明では直交変換後のI及びQ二つの信号を、相互間のレベル差、位相差を防ぐために時分割して増幅することによって生じる歪みを減少することを目的とする。

【0002】

【従来の技術】従来、このような分野の技術としては、特開昭61-273005号に記載されたものがあった。ここに記載されている検波方式は一般的なスーパーヘテロダイン方式に代わるものとして直交復調回路によるダイレクトコンバージョン受信方式である。ダイレクトコンバージョン受信方式によれば回路構成を簡単にする事ができるとともに、調整箇所が少なく高い信頼性が得られるという利点がある。

【0003】特に近年においては、複雑なフィルタ処理を高速で行えるデジタルシグナルプロセッサ(以下DSPと称す。)の性能向上を価格低下により、復調処理にこのDSPを使用することで回路の一層の簡単化と信頼性の向上が図られている。

【0004】

【発明が解決しようとする課題】ところで従来のダイレクトコンバージョン受信方式を用いた受信機では、直交変換後に位相が90°異なる二つの信号I及びQ信号を別々に増幅すると、これら信号間にレベル差、位相差が生じて歪みの原因となるので、上記二つの信号を一つの増幅器を用いて時分割的に増幅することにより、信号間の位相差及びレベル差が生じるのを防止していた。しかしながら、上記のように二つの信号を時分割的に増幅するようにしても、両者間には時分割による増幅時の時間的ずれがある。この時間的ずれによる位相差及びレベル差は歪みの原因となるが通常の補正では除去できず、例えば時分割に用いられる時間間隔を小さくすれば歪みは原理的に小さくできるが、そのために他の信号処理回路

は処理量が増大して負担が大きくなるという別の問題が生じてしまう。

【0005】したがって本発明は上記課題に鑑み他の信号処理回路への影響を及ぼさずに増幅時の時間的ずれによる歪みを削減できる時分割式ダイレクト受信機を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明は前記問題点を解決するために、受信信号を90°位相の異なる二つの信号に直交変換して復調するダイレクト受信機に、第1のスイッチ、増幅器、第2のスイッチ及び戻し信号形成部とを設ける。前記第1のスイッチは前記二つの信号を交互に入れ換えた信号を合成するため前記二つの信号を一定周期で交互に切り替える。前記増幅器は前記第1の該スイッチによって形成された合成信号を増幅する。前記第2のスイッチは前記増幅器で増幅された前記合成信号を前記二つの直交変換された信号の対として分離して抽出するために切り換える。前記戻し信号形成部は時間的に前後する前記二つの分離信号の前後関係を交互に入れ換えるように前記第2のスイッチを切り換えさせる。

【0007】

【作用】本発明の時分割式ダイレクト受信機によれば、前記第1のスイッチによって受信を直交変換された90°位相の異なる二つの信号を交互に切り換えて加算され合成される。前記増幅器によって前記合成信号が増幅されることにより前記合成信号を構成する直交変換された二つの信号の増幅率、位相に相違が生じるのが防止できる。前記第2のスイッチによって前記増幅器で増幅された前記合成信号を前記二つの直交変換された信号の対として分離して抽出されそれぞれコンデンサに蓄積されてA/D変換器に読み込まれる。前記戻し信号形成部によって時間的に前後する前記二つの分離信号の前後関係を交互に入れ換えるように前記第2のスイッチが切り換えられることにより、前後関係を交互に入れ換えた前記二つの分離信号がデジタル信号処理部で復調されるようになるので従来の前後関係が固定した信号よりも歪みが小さくなる。

【0008】

【実施例】以下本発明の実施例について図面を参照して説明する。図1は本発明の実施例に係る時分割ダイレクト受信機の構成であって直交変換後の二つの信号を時分割して増幅するものについて示す図である。本図に示すように、該時分割式ダイレクト受信機は、受信信号を直交変換した二つの信号I及びQに対して交互にON及びOFFを繰り返すスイッチ1及び2と、該スイッチ2にON及びOFFをさせるための信号を出力する反転器3と、該反転器3の入力に接続されかつ該スイッチ1にON及びOFFをさせるためのクロック信号を出力するクロック部4と、該スイッチ1及び2の出力を加算する加算器5と、該加算器6によって交互に配列された二つの

信号I及びQを増幅するAGC (Automatic Gain Control) 用の増幅器6と、それぞれ的一方が該増幅器6の出力に並列接続されるスイッチ7及び8と、それぞれ的一方がスイッチ7及び8の他方に接続され、それぞれの他方が接地され該スイッチ7及び8の出力信号の電圧レベルを保持するコンデンサ9及び10と、該増幅器6によって増幅された信号を再び二つの直交信号I0及びQ0に分離して元に戻すために該クロック部4からのクロック信号を入力して該スイッチ7及び8を交互にON及びOFFする戻し信号を供給する戻し信号形成部11と、
10 該コンデンサ9及び10に蓄積されたアナログ電圧レベルを入力してディジタル信号に変換するA/D変換器12 (Analog to Digital Converter) と、後段のディジタル信号を処理するためのサンプリング信号として前記戻し信号形成部11の信号を入力して該コンデンサ9及び10に蓄積されたアナログ信号を該A/D変換器12に読み込ませるタイミング信号を形成する読込パルス形成部13と、該A/D変換器12によって変換されたディジタルの直交信号をそれぞれ二乗して、二乗されたデータをそれぞれ加算して、この加算されたデータのルート
20 をとる演算をすることにより復調信号を形成するディジタル信号処理部14とを含む。

【0009】図2は本発明の実施例の動作を説明するためのタイミングチャートである。本図(a)は前記クロック部4のクロック信号の波形を示し、本図(b)及び(c)は前記スイッチ1及び2にそれぞれ入力する直交信号I及びQの波形を示し、本図(d)は前記加算器5の出力信号の波形を示し、本図(e)及び(f)は前記戻し信号形成部11の出力信号の波形であって前記スイッチ7及び8をそれぞれ動作するものを示し、本図
30 (g)及び(h)は前記コンデンサ9及び10にそれぞれ蓄積される信号波形を示し、本図(i)は前記読込パルス形成部13の出力信号の波形を示す。

【0010】図3は図1の戻し信号形成部を示す図である。本図に示す該戻し信号形成部11は、前記クロック部4のクロック信号を入力してクロック信号の周波数を1/2にする分周器101と、該分周器101に直列接続してさらに周波数を1/2にする分周器102と、前記クロック部4のクロック信号を反転する反転器103と、前記分周器101の出力信号を反転する反転器104と、該分周器101の出力信号と前記クロック部4のクロック信号との論理積をとるAND回路105と、前記反転器103と反転器104との出力信号の論理積をとるAND回路106と、前記分周器102の出力信号を反転する反転器108と、前記AND回路106と該反転器108との出力信号の論理積をとるAND回路109と、前記反転器108と前記AND回路105との出力信号の論理積をとるAND回路110と、前記分周器102と前記AND回路105との出力信号の論理積をとるAND回路111と、前記分周器102と前記A
50

ND回路106との出力信号の論理積をとるAND回路112と、前記AND回路109と前記AND回路110との出力信号の論理和をとりこの論理和信号によって前記スイッチ7のON及びOFF動作を制御するOR回路113と、前記AND回路111とAND回路112との出力信号を論理和とりこの論理和信号によって前記スイッチ7のON及びOFF動作を制御するOR回路114とを含む。さらに読込パルス形成部13は前記反転器104の出力信号と前記クロック部4のクロック信号との論理積をとるAND回路107を含む。

【0011】図4は図3の戻し信号形成部の動作を説明するためのタイミングチャートである。本図(a)の前記クロック部4のクロック信号に対して、本図(b)はクロック信号の立ち上がりで反転する前記分周器101の出力信号の波形を示し、本図(c)は該分周器101の出力信号の立ち上がりで反転する前記分周器102の出力信号の波形を示し、本図(d)は前記AND回路105の出力信号の波形を示し、本図(e)は前記AND回路106の出力信号の波形を示し、本図(f)は前記AND回路109の出力信号の波形を示し、本図(g)は前記AND回路110の出力信号の波形を示し、本図(h)は前記AND回路111の出力信号の波形を示し、本図(i)は前記AND回路112の出力信号の波形を示し、本図(j)は前記OR回路113の出力信号の波形であって前記スイッチ8の動作を制御するものを示し、本図(k)は前記OR回路114の出力信号の波形であって前記スイッチ7の動作を制御するものを示し、本図(l)は前記AND回路107の出力信号の波形であって前記A/D変換器12を動作させるものを示す。

【0012】ここで図2(e)、(f)及び(i)に示す信号は図4(k)、(j)及び(l)に示すものにそれぞれ対応する。次に本実施例の一連の動作を説明する。図2(a)に示すクロック信号とこれを反転した信号により前記スイッチ1及び2が交互に切り換えられる。すなわち図(a)に示すクロック信号“H (high)”で前記スイッチ1はONとなり前記スイッチ2はOFFとなる。クロック信号“L (low)”で前記スイッチ1はOFFとなり前記スイッチ2はONとなる。この動作が繰り返し行われ、図2(d)に示すように、前記加算器5の出力信号の波形には直交信号I及びQの信号がクロック信号の周期で交互に現れることになる。したがって前記加算器5の出力信号である直交信号I及びQの信号が前記増幅器6で同一条件で増幅されるので相互の位相差やレベル差が生じるのを防止している。以上は位相差等を生じさせないように増幅する方法を説明したが、これを後段のディジタル信号処理部14で復調処理するために元の独立した二つの直交変換信号I及びQに分離して戻す処理について説明する。図2の(a)に示すクロック信号を用いて前記戻し信号形成部11によつ

て図2 (e) 及び (f) に示すようなパルスで前記スイッチ7 及び8 を制御する。このため前記スイッチ7 及び8 はそれぞれ互い違いに前記戻し信号形成部11 の“H” によってON なり、“L” によってOFF になるが、この場合に図2 (g) 及び (h) に示すように、前記コンデンサ9 及び10 はそれぞれ“H” から“L” になったときの信号レベルをOFF 時に保持する。前記コンデンサ9 及び10 への保持を完了した信号レベルが図2 (i) に示すような読込パルスで前記A/D 変換器12 に読み込まれる。この場合、図2 (e) 及び (f) に並びに (i) に示すように、前記A/D 変換器12 に読み込まれる直交変換信号の順番は直交変換信号をI 及びQ として… I → Q → Q → I → I → Q → Q … となる。この関係は前記デジタル信号処理部14 から見ると、… { I (t) 、 Q (t + Δt) } 、 { I (t + 5 Δt) 、 Q (t + 5 Δt - Δt) } 、 { I (t + 7 Δt) 、 Q (t + 7 Δt + Δt) } 、 … のような信号の組み合わせで処理することになる。すなわち図2 (b) 及び (c) の点線で示すように、ある時点でのクロック信号の立ち下がり時の直交変換信号I が読み込まれ次にクロック信号の立ち上がり時の直交変換信号Q が読み込まれ、次の時点でのクロック信号のクロック信号の立ち下がり時の直交変換信号Q が読み込まれ次にクロック信号の立ち上がり時の直交変換信号I が読み込まれ、さらに次の時点でのクロック信号のクロック信号の立ち下がり時の直交変換信号I が読み込まれ次にクロック信号の立ち上がり時の直交変換信号Q が読み込まれ、以下同様な動作が繰り返される。この動作で説明するように直交変換信号I 及びQ の信号が読み込まれる時点での時期には前後のずれがあるが、一方の信号が他方の信号に常に先立つて読み込まれることがなくなり、これらの信号の読み込みは前後を交互に繰り返すことになる。かくして一方の信号が他方の信号に常に先立つて読み込まれることよりも、前後を交互に繰り返すことの方がより歪みが小さくなる。

【0013】本発明の効果をさらに明確にするために上述した戻し信号形成部と本発明の前提となるものとの相違を明確にする。図5 は本発明の前提となる戻し信号形成部による動作を説明するタイミングチャートである。上記相違を明確にするために図5 を用いて前提となる戻し信号形成部を説明する。図1 におけるスイッチ7 及び8 を動作させる図5 (h) 、 (i) 及び (g) に示す信号として図3 の前記AND 回路106 、前記AND 回路105 及び前記AND 回路107 の出力信号が用いら

れ、これらの信号は図4 (e) 、 (d) 及び (l) に対応する。したがって、図5 の (b) 及び (c) の点線に示すように、ある時点でのクロック信号の立ち下がり時の直交変換信号I が読み込まれ次にクロック信号の立ち上がり時の直交変換信号Q が読み込まれる点で前記と同様であり、次の時点でのクロック信号のクロック信号の立ち下がり時の直交変換信号I が読み込まれ次にクロック信号の立ち上がり時の直交変換信号Q が読み込まれる点で前記と相違し、さらに次の時点でのクロック信号のクロック信号の立ち下がり時の直交変換信号I が読み込まれ次にクロック信号の立ち上がり時の直交変換信号Q が読み込まれる点で前記と同様であり、以下同様な動作が繰り返される。このため本発明の前提となる戻し信号形成部では一方の直交変換信号が他方に常に先立っている。本発明による戻し信号形成部11 によれば、先に説明したように、直交変換信号の双方の読み込みについて前後を交互に繰り返すようにしたので歪みがより小さくなる

【0014】

【発明の効果】以上説明したように本発明によれば、直交変換された90° 位相の異なる二つの信号を交互に切り換えて加算され合成されかつ増幅された後に時間的に前後する二つの信号に分離しその前後関係を交互に入れ換えるようにしたので、復調時に従来の前後関係が固定した信号よりも歪みが小さくなる。

【図面の簡単な説明】

【図1】本発明の実施例に係る時分割ダイレクト受信機の構成であって直交変換後の二つの信号を時分割して増幅するものについて示す図である。

【図2】本発明の実施例の動作を説明するためのタイミングチャートである。

【図3】図1 の戻し信号形成部を示す図である。

【図4】図3 の戻し信号形成部の動作を説明するためのタイミングチャートである。

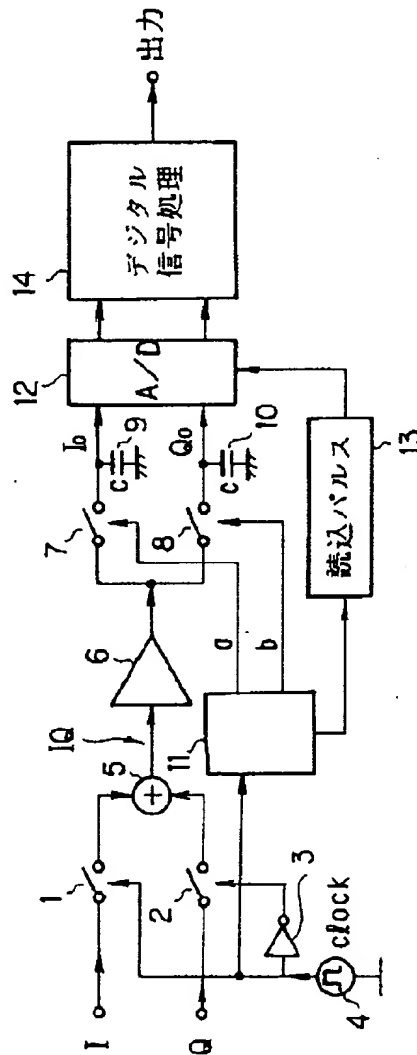
【図5】本発明の前提となる戻し信号形成部による動作を説明するタイミングチャートである。

【符号の説明】

- 1、2、7、8…スイッチ
- 3…反転器
- 4…クロック部
- 6…増幅器
- 12…A/D 変換器
- 13…読込パルス形成部
- 14…デジタル信号処理部

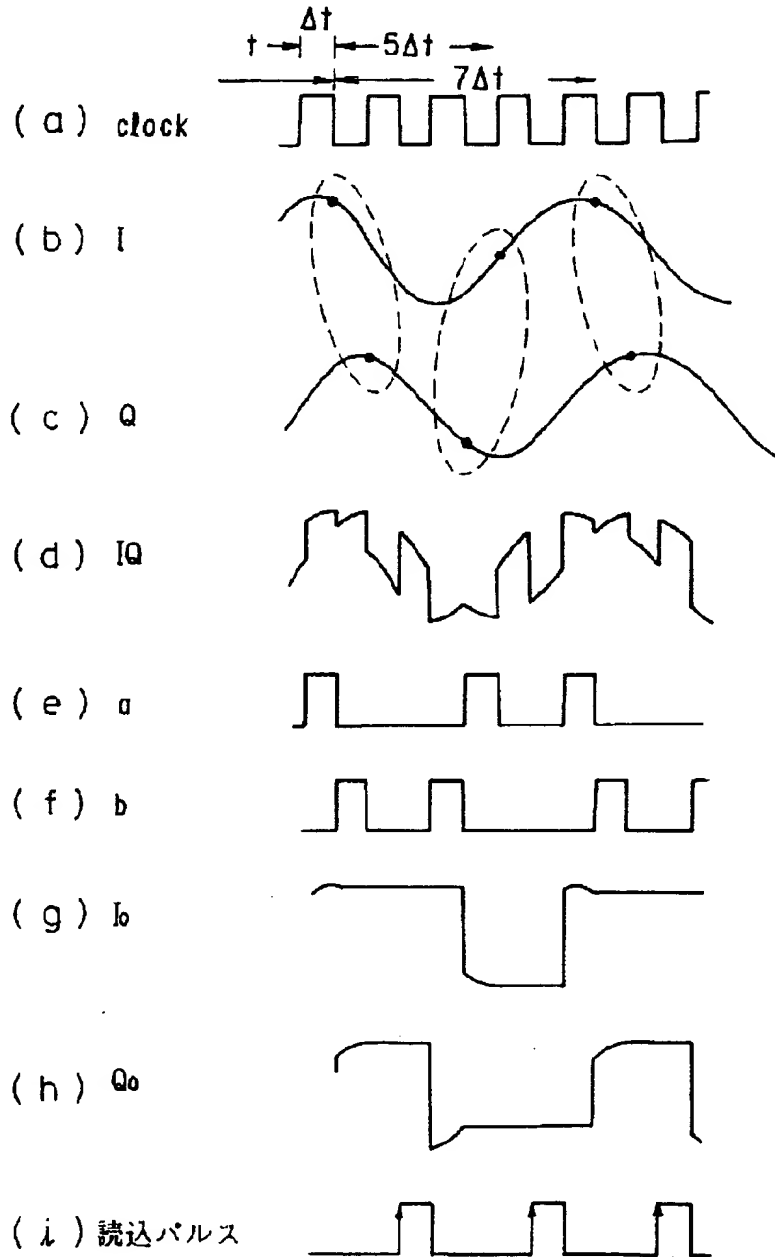
【図1】

本発明の実施例に係る時分割ダイレクト受信機を示す図



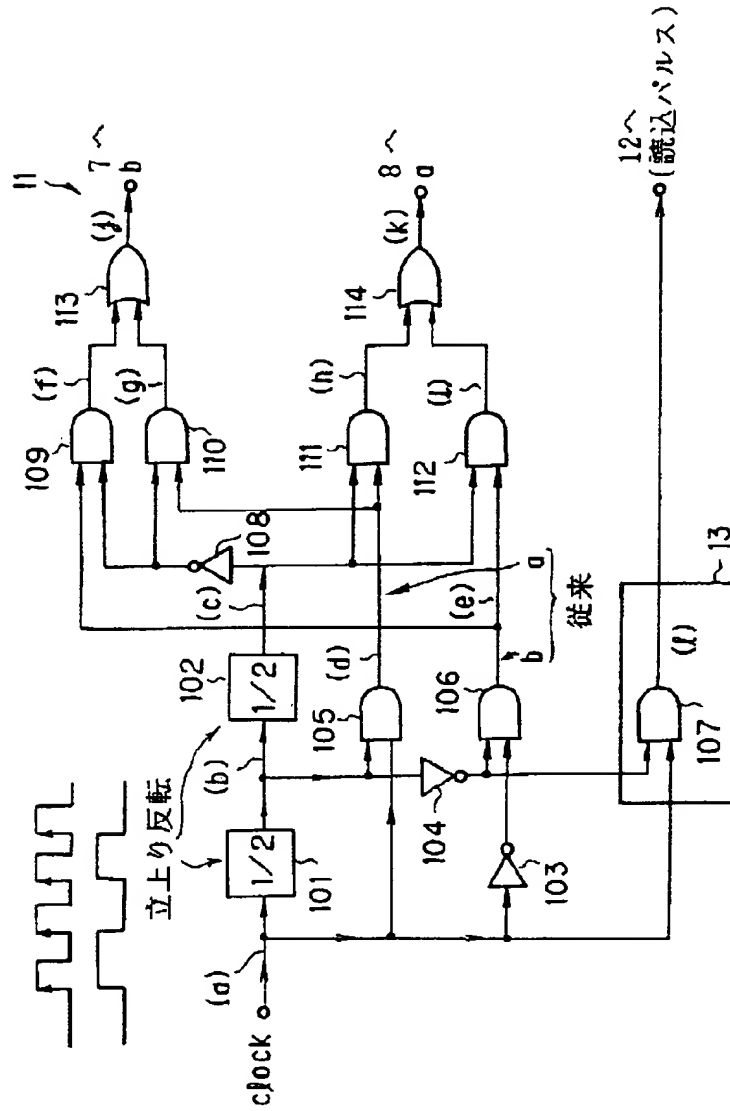
【図2】

本発明の実施例の動作を説明するためのタイミングチャート



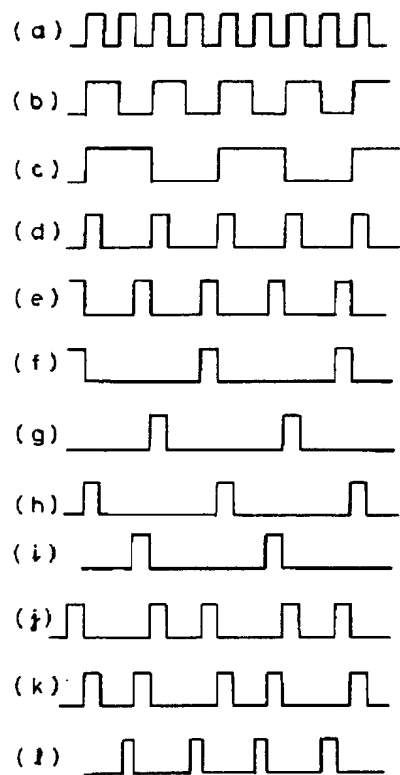
【図3】

図1の戻し信号形成部及び読込パルス



【図4】

図3の戻し信号形成部の動作を説明するためのタイミングチャート



【図5】

本発明の前提となる戻し信号形成部による動作を説明するタイミングチャート

